

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-087535

(43)Date of publication of application : 28.03.1990

(51)Int.Cl.

H01L 21/60

H01L 23/48

(21)Application number : 63-238742

(71)Applicant : HITACHI LTD

(22)Date of filing : 26.09.1988

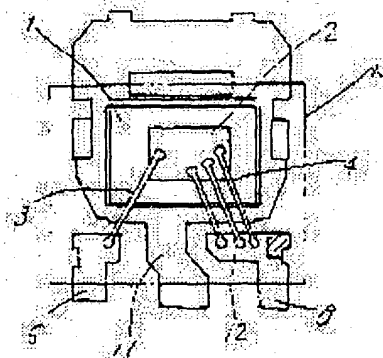
(72)Inventor : IJIMA TETSUO

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To obtain a semiconductor device capable of increasing the effective area for wire bonding without changing a resin molding member by making lead arrangement asymmetric, biasing central leads on one side, forming widely a post part of the lead on the other side in a hook type, and wire-bonding many wires.

CONSTITUTION: A central drain lead 11 is bent into a hook shape, and biased on the left side. Three wires 4 are bonded to the lead 8 wherein a source post 12 is extended in the left vacant space. The post area extended in this manner is 1.5-2.0 times as compared with the conventional one, and the effective area wherein the area like a bonder-presser part is eliminated becomes 3-5 times, so that this area can sufficiently correspond with multiwires.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11)特許番号

第2714037号

(45)発行日 平成10年(1998) 2月16日

(24)登録日 平成9年(1997)10月31日

(51)Int.Cl.*	識別記号	片内整理番号	F I	技術表示箇所
H 0 1 L 21/60 23/48	3 0 1		H 0 1 L 21/60 23/48	3 0 1 B S

請求項の数5 (全 3 頁)

(21)出願番号 特願昭63-238742

(22)出願日 昭和63年(1988) 9月26日

(65)公開番号 特開平2-87535

(43)公開日 平成2年(1990) 3月28日

(73)特許権者 999999999

株式会社日立製作所

東京都千代田区神田駿河台4丁目6番地

(72)発明者 飯島 哲郎

群馬県高崎市西横手町111番地 株式会
社日立製作所高崎工場内

(74)代理人 弁理士 小川 勝男 (外1名)

審査官 金 公彦

(56)参考文献 特開 昭55-50648 (J P, A)

特開 昭61-102745 (J P, A)

特開 昭54-55167 (J P, A)

実開 昭56-78562 (J P, U)

特公 昭44-27858 (J P, B-1)

(54)【発明の名称】 半導体装置

1

(57)【特許請求の範囲】

【請求項1】一主面側に複数の電極を有する半導体素子が形成された半導体チップと、上記半導体チップの他主面側が接続された金属タブと、上記金属タブに接続された第1のリードと、上記第1のリードを挟んで配置され、かつ、上記金属タブとは絶縁された第2のリードおよび第3のリードを有し、上記半導体素子の電極と上記第2のリードの先端に設けられたポストとがワイヤにより電気的に接続され、また上記第2のリードと電気的に接続された電極とは異なる電極と第3のリードの先端に設けられたポストとがワイヤにより電気的に接続され、上記半導体チップが樹脂成形体により封止されてなる半導体装置であって、

上記第3のリードのポストの面積が、上記第2のリードのポストの面積より広いことを特徴とする半導体装置。

2

【請求項2】上記半導体チップを封止した上記樹脂成形体から突出した上記第1のリードと上記第2のリードとの間の距離と、上記第1のリードと上記第3のリードとの間の距離とは、ほぼ等しいことを特徴とする請求項1記載の半導体装置。

【請求項3】上記半導体素子は、MOSトランジスタであり、上記第3のリードは上記半導体素子のソース電極に接続され、上記第2のリードは上記半導体素子のゲート電極に接続されていることを特徴とする請求項1又は2記載の半導体装置。

【請求項4】上記半導体素子は、バイポーラトランジスタであることを特徴とする請求項1又は2記載の半導体装置。

【請求項5】上記第3のリードのポストには複数のワイヤが接続されていることを特徴とする請求項1乃至4の

いずれかに記載の半導体装置。

【発明の詳細な説明】

〔産業上の利用分野〕

本発明は半導体装置、特に樹脂成形封止半導体装置におけるリードフレーム構造に関する。

〔従来の技術〕

低オン抵抗パワーMOSFETにおいて、半導体チップの活性領域にボンディングパッドを配置したBPA (Bonding Pad on Active area) の効果を利用した例としては、樹脂成形封止方式で、いくつかのメーカーにより製品化されている。BPAの効果としては、パッド部を活性領域として利用することでチップ効率が向上できる他に、超低オン抵抗素子では無視できないワイヤ抵抗をワイヤのマルチ化によって低減できるメリットがある。

〔発明が解決しようとする課題〕

上記のような一方電極（特にソース電極）からのワイヤをマルチ化した樹脂封止半導体装置に使用するリードフレームとしては、特開昭56-15557公報に記載されているように、半導体チップが接続された金属タブのリード（ドレイン）を挟んでゲート・ソース用のリードが左右対称に配置されたリードフレームが使用されている。

このようなリードフレームでは、マルチ化したワイヤの本数が2-5本となった場合に、それが接続されるリードのポスト側の面積がワイヤボンディングできる有効面積を考慮すると狭いものとなり、ボンディング不良を生じる原因となる。そのために一方のリードのポスト面積を単に増加させるだけでは、リードの配置にアンバランスを生じ、樹脂成形体の外形の設計から変更しなければならない。

本発明の目的とするところは、樹脂成形体を変えることなく、ワイヤボンディングの有効面積を増加できるリードフレームを使用する半導体装置を提供することにある。

〔課題を解決するための手段〕

上記の目的は、素子の取付けられるタブのリード（中央のリード）とこれを挟む複数のリードの少なくともポスト側を非対称に形成し、左右のリードのうち一方のリードのワイヤ接続部を広い面積としてここにチップ一方の電極より複数のワイヤを接続するものである。

〔作用〕

リードの配置を非対称として、中央のリードを一方側に片寄らせて他方のリードのポスト部をカギ状に広く形成し、ここに多数のワイヤをワイヤボンディングすることにより低オン抵抗素子を構成することが可能となる。このようにリードを配置すれば従来の樹脂成形体の外形が変わらず、金型の変更も不要となり実施が容易となる。

〔実施例〕

実施例について図面を参照し説明する。

初めに従来例を示して、これと対照して本発明の実施

第1図は樹脂封止パワーMOSFETの従来のリードフレーム構造において通常のワイヤボンディングの形態を平面図で示すものである。

1はヘッダで金属のリードフレームの中心部分となり、半導体チップ2がその上に接続される。ヘッダの一侧にドレインリード7が一体に連設されている。このドレインリードを左右から挟んでゲートリード6とソースリード8が対称的に配置されている。チップ（MOSFET）の電極とリードとの間をワイヤ（ゲートワイヤ3、ソースワイヤ4）で接続（ワイヤボンディング）しており、リード側にはワイヤボンディングのためのポスト5を設けてある。ワイヤボンディングにあたって、ポスト5の有効面積は大きいことがのぞましいが、リードフレームを安定に固定するためにボンダーの押え部9（斜線ハッチングを施す）を考慮した有効面積はポスト全体の半分程度となる。

第2図は従来のリードフレーム構造のソース側8にワイヤを2本打った場合の予想図である。この場合、ポスト側ではワイヤが互いに接近し、2本目のワイヤ10はボンダのツールが1本目のワイヤ4のつぶれ部にあたり、正常な形でのボンディングが困難となる。

第3図は本発明の実施例を示すものであって、中央のドレインリード11を「カギ状」に曲げて左側に片寄せ、左側にあいた空間にソースポスト12を拡張したリード8に3本のワイヤ4を打った場合の形態を示すものである。

このように拡張されるポスト面積は従来比では1.5~2.0倍であるが、ボンダの押え部（9）等の面積を除いた有効面積では3~5倍となり、マルチワイヤに充分に対応できるものとなる。

このようなリードフレーム構造は樹脂成形体の外形（点線13で示す）を従来の外形をそのまま保って、リード部分のみ変更すればよく、金型設計の変更の必要はない。

〔発明の効果〕

本発明は以上説明したように構成されているので、下記のような効果を奏する。

マルチワイヤ化が可能となり、しかもパッケージ外形を変える必要がない。超低オン抵抗（10~200mΩ以下）素子を例にとれば、ワイヤ（Au線）38μm径で70mΩ/mmのワイヤ抵抗が追加されるところを、ワイヤ2本使えば半分の35mΩ、3本で1/3の23mΩに低減できる。これはDPAK（パッケージの型式）の外形に入れることのできるチップ自体のオン抵抗が最小で120mΩであることを考慮すると、全体のオン抵抗を190mΩから143mΩに低減することが可能となり、低オン抵抗化の効果は大である。

本発明はBPAを利用した縦型パワーMOSFET、またはバイポーラトランジスタに適用した場合に最も効果がある。

5

第1図は従来構造のリードフレームを使用した半導体装置においてワイヤボンディングを行う形態を示す平面図である。

第2図は従来構造のリードフレームを使用した半導体装置においてマルチワイヤボンディングを行う形態を示す平面図である。

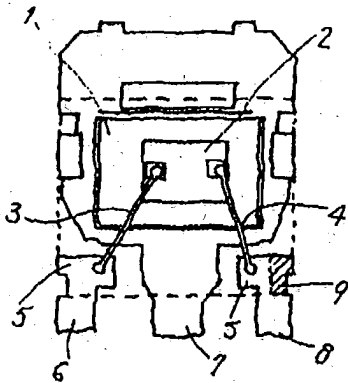
第3図は本発明の一実施例であるリードフレームを使用した半導体装置においてマルチワイヤボンディングを行

6

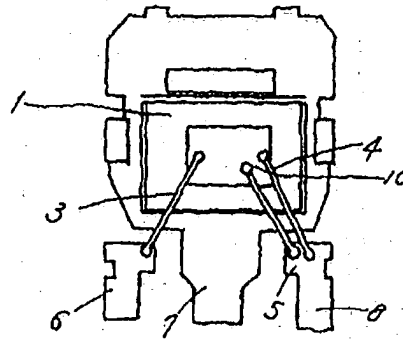
う形態を示す平面図である。

1……リードフレームにおけるヘッダ、2……半導体チップ、3……ゲート・ワイヤ、4……ソース・ワイヤ、5……リードにおけるポスト、6……ゲートリード、7……ドレインリード、8……ソース・リード、9……押え部、10……2本目のワイヤ、11……カギ状ドレイン・リード、12……拡張したリードポスト。

【第1図】

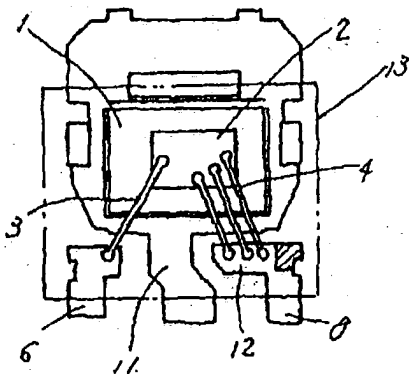


【第2図】



- | | |
|------------|-------------|
| 1-ヘッダ | 7-リード(ドレイン) |
| 2-チップ | 8-リード(ソース) |
| 3-ワイヤ(ゲート) | 9-押え部 |
| 4-ワイヤ(ソース) | 10-ワイヤ |
| 5-ポスト | |
| 6-リード(ゲート) | |

【第3図】



- | |
|--------------|
| 11-リード(ドレイン) |
| 12-拡張したポスト |